

결합 정전용량을 이용한 Crosstalk Noise 추정 모델

The Model of Crosstalk Noise Estimation using Effective Coupling Capacitance

김대진 조형준 전성훈 강성호
연세대학교 전기전자공학과

<tj2010, chj0937, shchun>@soc.yonsei.ac.kr shkang@yonsei.ac.kr

Abstract

Current design trends have shown that crosstalk faults in deep sub-micron can cause severe design validation and test problems. In this paper, we propose a model of crosstalk noise estimation for pruning the number of crosstalk-induced delay fault by coupling capacitance. We estimate the crosstalk noise by using a statistical method. Using the proposed crosstalk noise model we calculate the crosstalk-induced delay simply and fast. The accuracy of proposed model is verified using HSPICE simulation.

I. 서론

초고집적회로의 크기가 점차 작아지고 회로가 복잡해짐에 따라서 crosstalk 고장의 테스트가 중요한 문제로 대두되고 있다. crosstalk은 인접한 두 라인에서 발생하는 가상적인 기생 정전용량에 의해서 발생한다. crosstalk로 인한 영향은 크게 crosstalk-induced pulse와 delay 두 가지로 나눌 수 있다. 이 논문에서는 delay 영향 중에서 slowdown 영향에 대해서 다룰 것이다. slowdown 영향은 두 개의 라인에 각각 다른 방향의 Transition이 걸리게 되면 둘 사이에 발생하는 결합 정전용량에 의해서 transition 지연이 영향을 받게 되고 지연 시간이 늘어나게 된다. 이런 지연으로 인하여 회로에서 지연 고장이 발생하게 되기 때문에 crosstalk delay-slowdown에 대해서만 고려할 것이다. 그러나 이런 delay를 발생 시킬 수 있는 aggressor라인과 victim라인의 쌍은 많은 수가 존재하며 전체를 테스트 하기에는 비용과 시간 등의 문제가 따른다. 실제 s38584벤치 회로에는 가능한 라인 쌍이 약 4억 개가 존재한다. 그러므로 테스트를 위해서 이런 가능 쌍 중에서 효과적으로 그 숫자를 줄이는 것이 중요한 문제이다. 이 논문에서는 이런 고장의 숫자를 줄이기 위하여 계산이 간단하며 빠르게 고장을 줄일 수 있는 cross-talk noise 모델을 제시한다.

기존에 여러 방식으로 고장의 숫자를 줄이는 방법들

이 제안되었다. [1]에서는 Sequential 회로에서의 위상적인 방법과 타이밍 정보를 이용하였으나 논리적인 level에 한정되어있기 때문에 부정확하다. 간단한 layout 제약을 사용하여 Pruning 방법을 [2]에서 제안하고 있으나 gate level을 통한 layout정보는 정확하지 않은 문제가 있으며 복잡하고 많은 계산 량이 필요하다. 결국 가장 정확한 방법은 회로의 전체 타이밍 정보를 SPICE 시뮬레이션을 통해 계산을 하고 이를 사용하여 Timing window를 통하여 고장의 개수를 줄여 나가는 것이지만 이를 실제로 사용하기에는 처리 시간이 오래 걸리고 복잡하게 된다.

이런 문제 때문에 [3]에서는 crosstalk noise를 수식을 사용하여 라플라스 변환을 사용 주파수 도메인에서 해석하여 noise를 추정하고 이를 사용하여 고장의 숫자를 줄이기 위해 사용하는데 역시 복잡한 수식과 계산을 필요로 한다.

이 논문에서는 코어 내부의 라인 쌍에서 발생하는 결합 정전용량(coupling capacitance)의 영향으로 인한 crosstalk noise를 간단하고 빠르게 추정할 수 있는 모델을 제시한다. [3]과 같은 복잡한 수식보다는 통계적인 방법을 사용하여 간단하게 결합 정전용량에 따른 crosstalk noise를 추정하였다. 제안된 모델을 실제 HSPICE[5] 시뮬레이션을 통하여 구해진 noise와 비교하여 모델의 정확도를 증명할 것이다.

II. 제안하는 Crosstalk Noise 모델

인접한 두 라인 사이에 발생하는 결합 정전용량과 라인에 흐르는 transition에 따라 crosstalk-delay 현상이 발생된다. 결합 정전용량에 따른 crosstalk-delay의 관계를 알아보기 위하여 그림 1과 같은 회로를 설정하였다.

이 회로에서 CC는 aggressor 라인인 A와 victim 라인인 V사이에 발생하는 결합 정전용량을 나타내며, R_a 와 R_v 는 각각의 라인에 존재하는 라인 저항과 채널 저항을 나타낸다. 그리고 C_a 와 C_v 는 라인에 걸리는 로드 정전용량이다. 제안하는 모델은 결합 정전용량에 따른 crosstalk noise의 변화를 추정하는 모델이기 때문에

CC를 제외한 다른 변수들은 일정 값으로 고정을 하였으며 또한 각 라인에 걸리는 인버터의 트랜지스터 값도 고정시켰다.

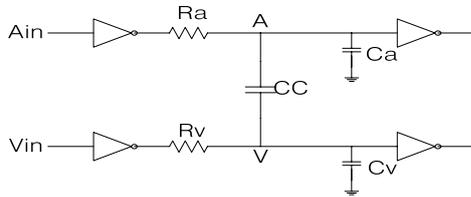


그림 1 결합 정전 용량 회로

Crosstalk-delay 중에서 slowdown만을 고려하였는데, slowdown이 발생되기 위해서는 aggressor 라인과 victim 라인에 서로 다른 방향의 transition이 로드 되어야 한다. 그림 2는 HSPICE를 사용하여 크기는 동일 하면 방향이 다른 두 개의 PULSE를 두 라인에 입력하여 발생하는 crosstalk-delay slowdown의 파형을 나타낸다. Gated 지연으로 인한 정상 파형과 결합 정전용량으로 인한 지연이 추가된 slowdown 파형을 확인 할 수 있으며 이 회로에서는 상승 transition에 따른 지연이 하강 transition에 따른 지연보다 크게 나타나는 데 이는 gated 되는 인버터의 크기에 따른 영향이다.

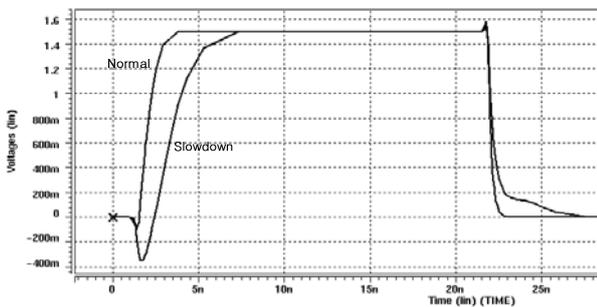


그림 2 Crosstalk-delay 파형

Crosstalk noise를 추정하기 위하여 다양하게 결합 정전 용량을 변화시켜 가면서 추가적으로 시뮬레이션을 통하여 0.5Vdd에서의 normal 신호와 결합 정전용량에 따른 시간 지연의 차이를 측정하였다. 실험과 시뮬레이션에서 사용된 공정은 tsmc 0.18um 공정이며 Ra, Rv는 400Ω으로 Ca, Cv는 0.35pF으로 정하였으며 여기서 사용된 transition time은 500ps이다.

통계적인 방법을 사용하여 이 관계를 추정할 것이기 때문에 충분한 개수의 데이터를 뽑아내었다. 그림 3은 결합 정전용량이 0에서부터 1pF로 변화되는 동안 crosstalk-delay slowdown 변화를 그래프로 나타낸 것이다. 이와 같이 결합 정전용량과 지연의 변화가 선형 증가 곡선으로 나타나는 것을 확인 할 수 있다.

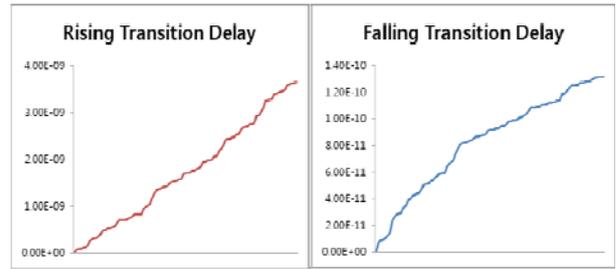


그림 3 결합 정전용량에 따른 추가적인 시간 지연

시뮬레이션을 통하여 구해진 결합 정전용량에 따른 crosstalk-delay를 Minitab Inc. 의 Minitab[4]이라는 통계프로그램을 사용하여 회귀 분석 통하여 결합 정전용량에 따른 delay 변화량의 관계를 다음과 같은 식으로 구했다.

$$Dtr(\text{sec}) = 7488 \cdot CC + 1.07E-10 \quad (1)$$

$$Dtf(\text{sec}) = 377.8 \cdot CC + 7.171E-11 \quad (2)$$

pico 단위의 결합 정전용량 CC에 따라서 구해지는 시간 지연의 변화는 nano 시간 단위로 나오게 된다. (1)식은 상승 transition 상에서 발생하는 normal 시간 지연과 crosstalk-delay 시간 지연 사이의 시간 차이이며 (2)식은 하강 transition에서의 시간 차이를 나타낸다. 앞서 언급한 것과 같이 상승 transition이 하강 transition에 비하여 큰 변화 량을 보이고 있다. 위 모델링은 tsmc 0.18um 공정에서 계산된 모델링이며 이는 공정이 바뀌에 따라 모델링 식도 바뀌게 된다. 그러나 공정이 바뀌어도 통계적으로 모델링을 구하는 과정은 동일하므로 공정에 따른 모델링을 계산하여 라이브러리화 할 수 있다. 이를 고장 리스트를 줄이는 pruning에 사용 가능하다.

III. 실험결과

그림 1과 동일한 회로에서 회로에 주어진 design 여유에 따른 임계 결합정전용량이 0.4pF이라 할 때, 이를 기준으로 무작위적으로 두 회선에 걸리는 결합 정전용량을 10% 편차 내부에서 변화시켜 결합 정전용량에 따른 transition의 시간 지연을 측정하고 이와 제안된 모델에서 구해진 식에서 계산된 시간 지연을 비교하였다. 실험에 사용된 공정은 tsmc 0.18um이며, Ra, Rv는 400Ω, Ca, Cv는 0.35pF이고 양쪽에 걸리는 인버터를 16u/0.8u PMOS와 16u/0.8u NMOS 사용하였다. 그리고 회로에 인가된 transition pulse의 상승/하강 transition time은 500ps이며 skew는 없이 동일한 시점에 transition 되었다.

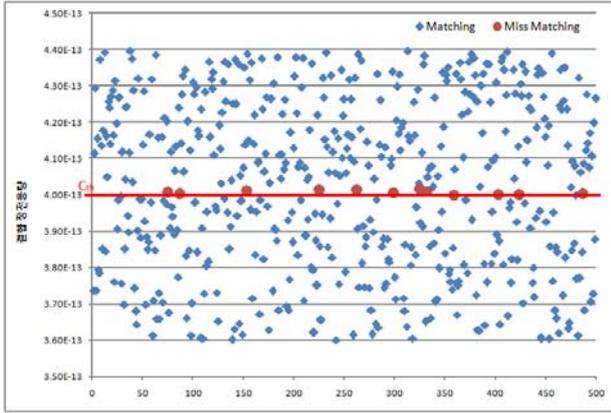


그림 4 제안된 모델과 HSPICE 시뮬레이션 비교

그림 4는 500개의 무작위적인 케이스에 따른 상승 transition 실험 결과이다. X축은 결합 정전용량이고 Y축은 각 실험 케이스이다. C_{th} 가 이 디자인에서 설정된 임계 정전용량 0.4pF를 가리킨다. 이를 기준으로 10%의 편차를 가지는 경우의 결합 정전 용량을 실험 케이스로 하였다. 다이아 모양은 모델링을 통한 시간 지연과 HSPICE로 인한 시간 지연이 일치한 경우이며 동그란 모양은 HSPICE 시뮬레이션으로 인한 결과는 C_{th} 를 넘어섰지만 모델링으로 이 결합 정전용량의 시간 지연은 C_{th} 의 결과 보다 낮게 나오는 두 결과가 매치되지 않은 케이스이다.

임계 결합 정전용량: 0.4pF		
편차 10%	상승 Tr. 정확도	하강 Tr. 정확도
개수	12/500	18/500
매칭 %	97.6%	96.4%
불일치 범위	0.0017pf	0.0024pf

표 1 제안된 Crosstalk Noise 모델의 정확도

표1은 상승/하강 transition에서 각각 수행한 실험 결과로서 제안된 crosstalk-delay noise 추정 모델의 정확도를 나타내고 있다. 500개의 무작위적인 케이스의 결합 정전 용량을 사용하였을 때, 상승 transition의 경우는 모델링을 통한 시간 지연과 HSPICE로 인한 시간 지연의 차이가 12개가 일치하지 않았으며 97.6%의 정확도를 보여주고 있다. 하강 transition의 경우는 18개의 불일치를 보이며 이는 96.4%의 정확도이다.

그러나 여기서 일치 되지 않는 경우의 결합 정전 용량을 비교해보면 상승 transition에서 임계 정전 용량이 0.4pF인 경우 불일치가 발생하는 최대 결합 정전 용량은 0.4017pF의 경우이며 이는 0.0017pF는 전체의 크기 볼 때 아주 작은 양이므로 실제 구현함에 있어서 이로 인한 문제는 크게 고려하지 않아도 된다. 하강 transition의 경우는 0.0024pF의 범위 안에 있는 결합 정전 용량이 불일치 범위이다. 이와 같이 제안된 모델링을 이용한 결합 정전 용량에 따른 crosstalk-delay

추정 모델은 충분한 정확도를 가지고 있으므로 간단한 모델링을 통하여 crosstalk noise를 측정 가능하다.

본 논문에서 제안된 crosstalk-delay noise 추정 모델은 정확하면서도 빠르고 간단하게 결합 정전용량에 따른 시간 지연을 계산할 수 있다. 이 제안된 모델을 crosstalk 고장의 숫자를 줄이는 경우에 쉽게 사용할 수 있다.

IV. 결론

이 논문에서는 crosstalk 고장의 개수를 좀 더 빠르고 정확하게 줄이기 위한 crosstalk noise 모델을 제시하였다. 기존 방법에 비하여 빠르고 간단하며 정확하게 결합 정전용량에 따른 crosstalk 시간 지연을 계산할 수 있으며 이를 이용하여 효과적으로 고장의 개수를 줄일 수 있다. 실험과 시뮬레이션에서 사용된 공정은 tsmc 0.18um 공정이며 다른 공정을 사용하는 경우에는 다시 모델링을 계산해줘야 하지만 계산 방식은 동일하다. 앞으로 skew와 로드 되는 게이트의 특성, 그리고 transition time등 추가적인 타이밍 정보와 디자인 정보를 사용하여 좀 더 정확한 crosstalk noise 모델에 대해 생각해 볼 것이다. 또한 이를 사용한 crosstalk 고장 목록을 줄이는 방법에 대해서도 생각해 봐야 한다.

Acknowledgment

본 논문은 IDEC(IC Design Education Center)의 CAD tool 지원을 받은 것임.

참고문헌

- [1] H. Takahashi, K. J. Keller, K. T. Le, K. K. Saluja, Y. Takamatsu, "A Method for Reducing the Target Fault List of Crosstalk Faults in Synchronous Sequential Circuits", *in IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, 252-263, 2005
- [2] K. J. Keller, H. Takahashi, K. T. Le, K. K. Saluja, Y. Takamatsu, "Reduction of Target Fault List for Crosstalk-Induced Delay Faults by using Layout Constraints", *in Proc. Eleventh Asian Test Symposium.*, 242-247, 2002
- [3] W. Chen, S. K. Gupta, M. A. Breuer, "Analytic Models for Crosstalk Delay and Pulse Analysis Under Non-Ideal Inputs", *in Proc. Int. Test Conference*, 809-818, 1997
- [4] Minitab version 15.1, *Minitab Inc.*
- [5] HSPICE version SP1, *Synopsys Inc.*